Read Process

התהליך מורכב מכתיבה 3 רגיסטרים בזיכרון ורגיסטר אחד בtx\_path

הרגיסטר בtx\_path הינו רגיסטר burst\_length, במקום לכתוב אליו, קיבענו את הערך שלו על 2, שזה הערך הדרוש לנו לצורך קריאה.

הכתיבות לרגיסטר מתבצעות על ידי טרנזאקצית wishbone בין הבלוק שלנו לבלוק הזיכרון. יש בקשת כתיבה והמתנה לack. לאחר קבלת הack יש ירדיה של הבקשה (קווי הווישבון מורדים ל-0)

# עדכון רגיסטר – burst length

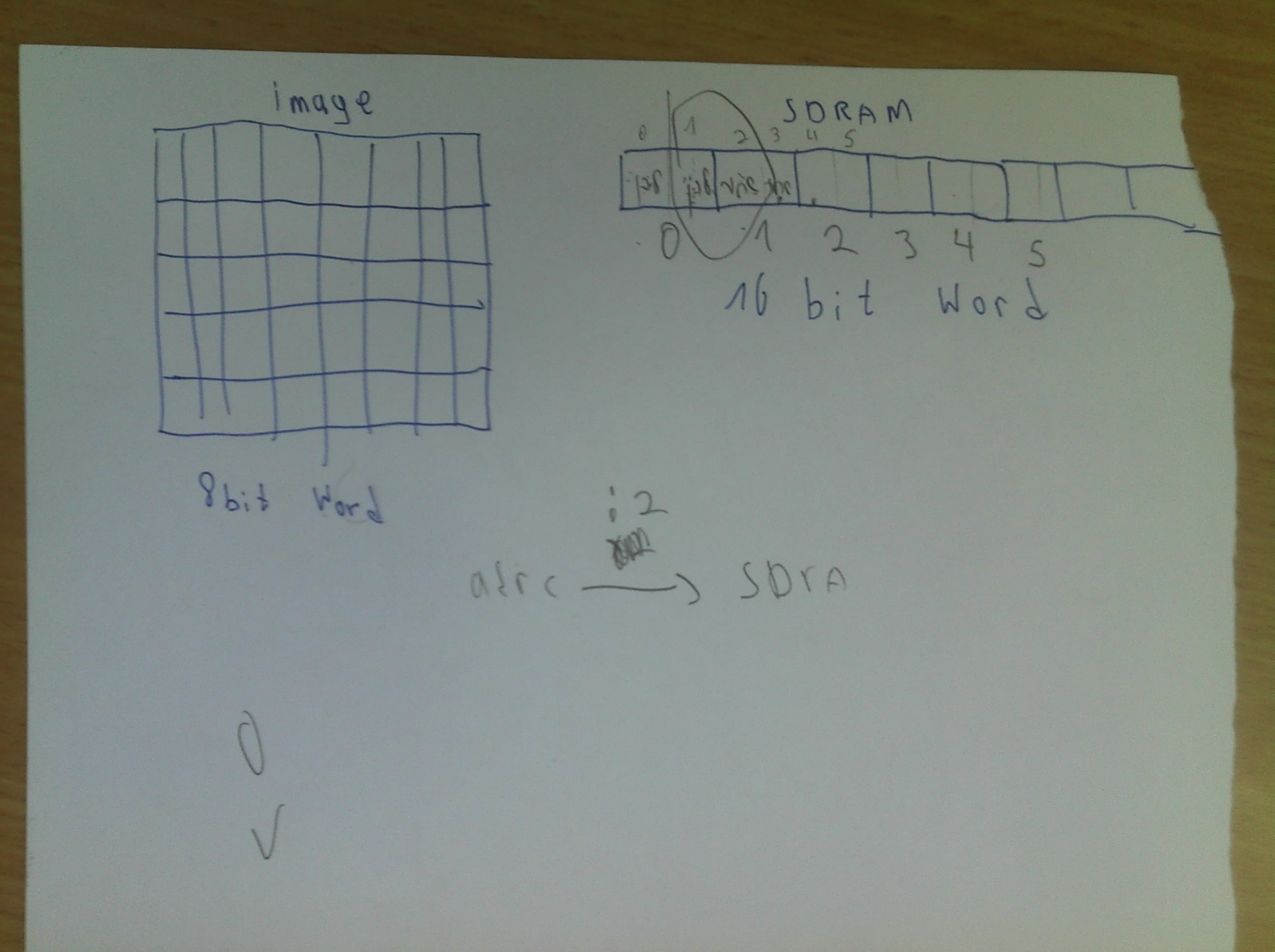
* rd\_burst\_reg\_dout<="0000000000000010"

length register, located in tx\_path, fixed to value 0x2.

Tx\_path.vhd line 738,742

# בעיית הפיקסלים הזוגיים(הכתובות הזוגיות)

לאחר ביצוע הכתיבה לרגיסטרים יש בקשת קריאה על ממשק הwbm\_read

Addr\_calc מספק כתובת של פיקסל יושב בזיכרון של מילים בנות 8bit, מילה בsdram בנויה מ16bit לכן את הכתובת שהADDR\_CALC מספק נחלק ב2.  


נוצרת בעיה: כיוון שהפיקסלים בSDRAM יושבים בזוגות, עבור כתובת אי זוגית במוצא ADDR\_CALC לא נוכל לקבל את שתי הפיקסלים הרצויים, לשם פשטות ניבחר את תמיד החלק השמאלי. ההנחה שהפגיעה תהיה מינימלית בגלל האינטרםולציה הבילינארית ועקרון השכנים הדומים שקיים בתמונה (למעט שפות)

|  |  |  |  |
| --- | --- | --- | --- |
|  |  | SDRAM\_ADDRESS | ADDR\_CALC |
| כתובת זוגית | אין שגיאה בפיקסלים | 0 | 0 |
| כתובת אי-זוגית | יש שגיאה של פיקסל | 0 | 1 |

בשיפור עתידי ניתן:

1. לבצע עוד טרנזאקציה על מנת לקרוא שני פיקסלים נוספים ומתוכם (מתוך כל הארבע) לדגום את הזוג האמצעי  
   בחרנו שלא לנקוט בפתרון זה כדי לשמור על ביצועים גבוהים (חסכון במחזורי שעון)
2. בטרנזאקציה הראשונה לקרוא 4 פיקסלים (תמיד או בהתניה) ומתוכם לגזור את השניים הנדרשים. לא בחרנו בפתרון זה כי הדיבאג מוד עבד בצורה תקינה רק עבור אורך 2.

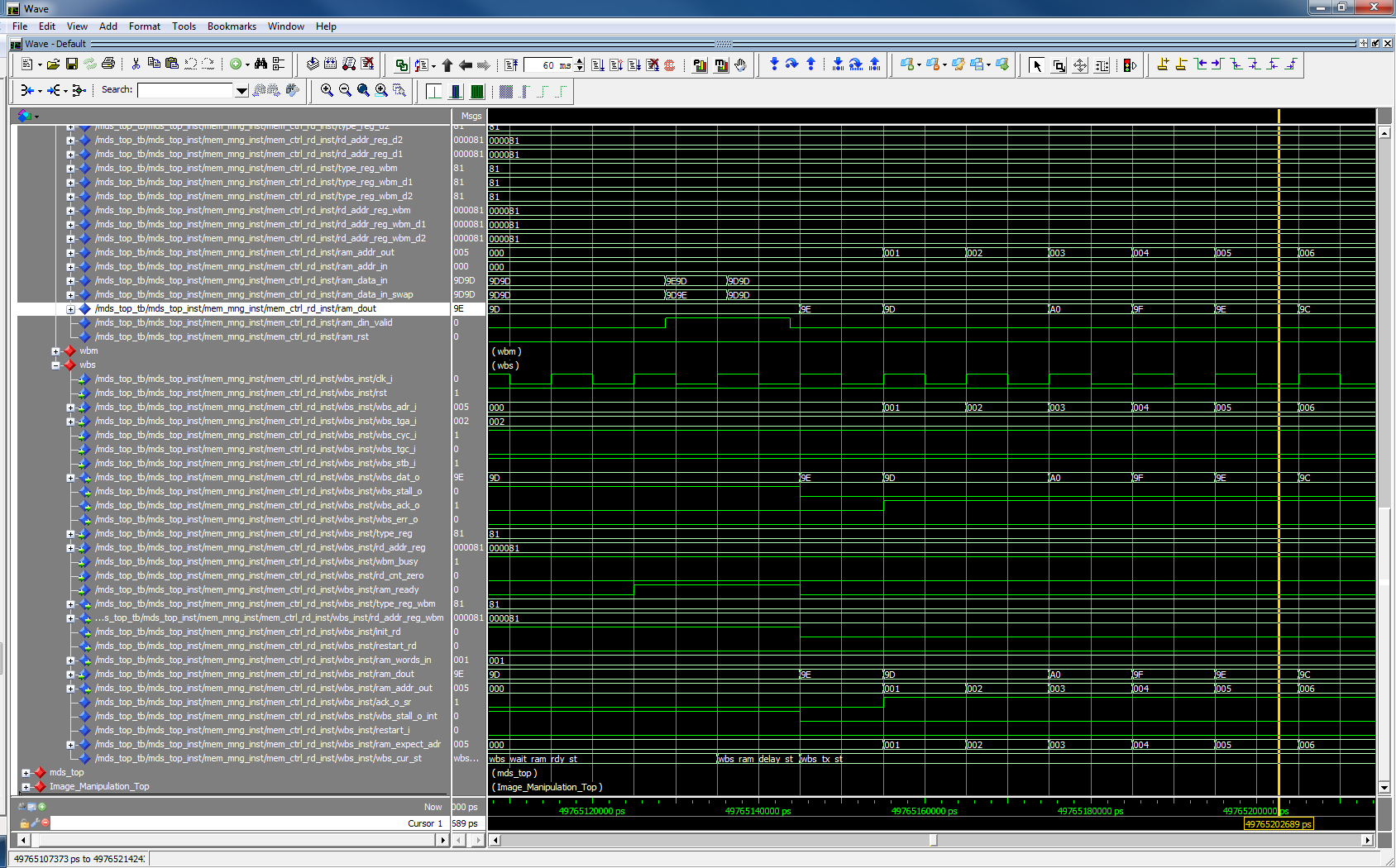
# בעיית קריאה מכתובת 0xFF

תקלה שטופלה- בעיה בקריאה מכתובת 0xFF- בקשות קריאה שמסתיימות בכתובת הנ"ל נתקעו ולכן בכל מצב שנדרשנו לקרוא מהכתובת הנ"ל הכותבת הועברה ל0xFE.

# בעיית הUndefined של DC-FIFO

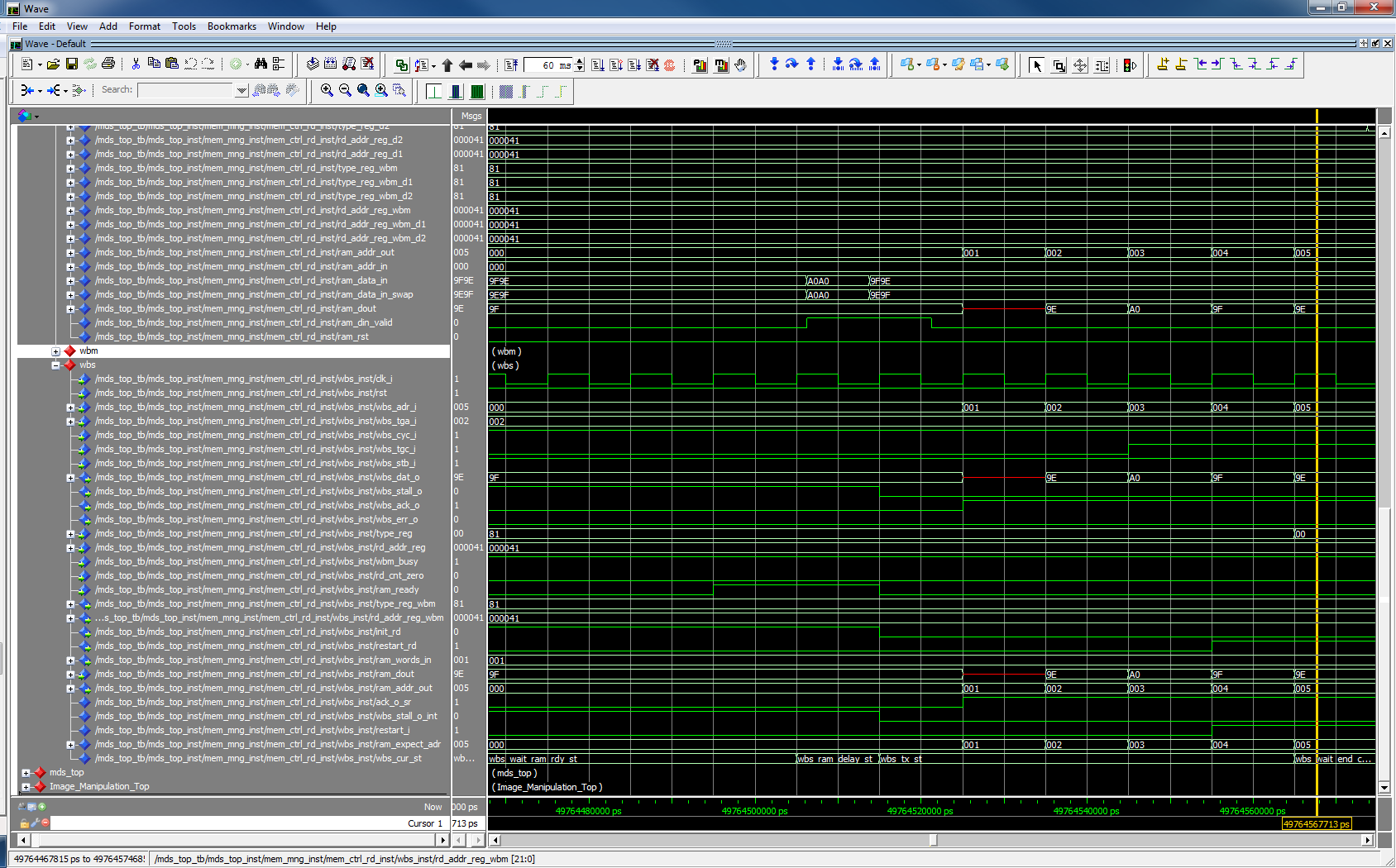
הייתה בעיה בחלק מבקשות הקריאה מהSDRAM, הבעיה חלה ביציאה מהDCFIFO- (RAM), עד לנקודה זאת כל הסיגנלים תקינים. ביציאה מתקבל לפרקים undefined.

בכניסה לDCFIFO היה צמד של זוג פיקסלים, כלומר שתי כניסות, כל אחת בת 16 ביט, הצמד "הרצוי" היה הצמד השני.

במצב תקין ניתן לראות:

הסיגנל ram\_din\_valid והסיגנל ram\_ready מסונכרנים (מסומן בצהוב).

במצב הלא תקין אין סינכרון.



הבעיה טופלה על בקובץ mem\_ctrl\_rd\_wbm.vhd בתהליך ram\_ready\_sr\_proc. בתהליך היה קיים shift register של 4 מחזורים, הגדלנו את הרגיסטר ל-5 ונראה שהבעיה טולה. עדיין יש סיגנל של undefined לפרקים, אך הוא לא נדגם במוצא, הוא מגיע לפני ה-ack.